

雷达监控分系统通用自测平台设计

李强国, 蒋 晓

(中国电子科技集团公司第三十八研究所, 安徽合肥 230088)

摘 要: 监控分系统是现代雷达必不可少的组成部分, 由于监控分系统与其他分系统之间的强耦合关系, 通常只能在整机上进行测试, 在分系统调试阶段不能充分暴露缺陷, 不利于质量管理的过程控制。针对该情况, 基于嵌入式计算机模块、FPGA 和 210 芯接口, 从软件和硬件两方面设计监控分系统自测平台, 模拟其他分系统与监控分系统之间的通信, 根据监控分系统反馈的结果判断其是否正常。自测平台可以进行二次开发, 只需对计算机和 FPGA 中的工作程序进行重新设计, 即可满足不同雷达监控分系统的测试需要, 因此该设计方案对不同雷达监控分系统的测试具有通用性。

关键词: 监控分系统; 自测平台; 状态模拟; 二次开发; 通用性

中图分类号: TN955⁺.1 文献标志码: A 文章编号: 1672-2337(2016)01-0113-04

Design of a Common Self-Testing Platform for Monitoring System of Radar

LI Qiangguo, JIANG Xiao

(No. 38 Research Institute of CETC, Hefei 230088, China)

Abstract: The monitoring system is an essential part of modern radar. It usually can only be tested in the whole radar system due to the strongly coupling between monitoring system and other subsystems, so its defects can not be fully exposed in the debugging stage of the subsystem, which is not conducive to the control process of quality management. For this situation, the monitoring system self-testing platform is designed from two aspects of hardware and software based on the embedded computer module, FPGA and 210 pin interface. It simulates the communications between other sub systems and the monitoring system, and determines itself is normal or not according to the feedback results. The self-test platform can be redeveloped by redesigning computer and FPGA procedures, it can meet the need for testing different radar monitoring systems. Therefore, the design is universal for testing different radar monitoring systems.

Key words: monitoring system; self-test platform; status modeling; redevelopment; universality

0 引 言

监控分系统是整部雷达控制和状态监控的枢纽, 既要解析、转发、执行来自终端人机界面的控制和查询命令, 同时又要采集、分析、上报整部雷达的状态给终端分系统^[1]。监控分系统的功能和其他分系统联系非常紧密, 因此测试时需要其他分系统的配合, 很多问题在分系统调试阶段无法充分暴露出来, 只能在整机联调阶段发现问题, 此时故障定位和解决的难度都要比分系统调试阶段大上很多。针对这种情况, 设计监控分系统自测平台, 通过模拟其他分系统与监控分系统之间的通信, 达到检验监控分系统各项功能是否正常的目的。

1 总体方案设计

监控分系统作为一个庞大而复杂的协议转换器和执行器, 具有接口电平多、通信线路多、任务性质多的特点。从控制和监控的角度看, 雷达各分系统之间的关系如图 1 所示(与监控分系统未发生联系的分系统在图中未标出)。在设计自测平台之前, 必须充分考虑这些因素, 选择合理的方案。

监控分系统与其他分系统之间的接口电平有 LVTTTL、TTL 和 422 三种电平, 这就需要自测平台能够提供电平转换电路, 使各种形式的电平转换为 FPGA(Field-Programmable Gate Array, 现场可编程门阵列)所能接受的 3.3 V 电平^[2]。针对

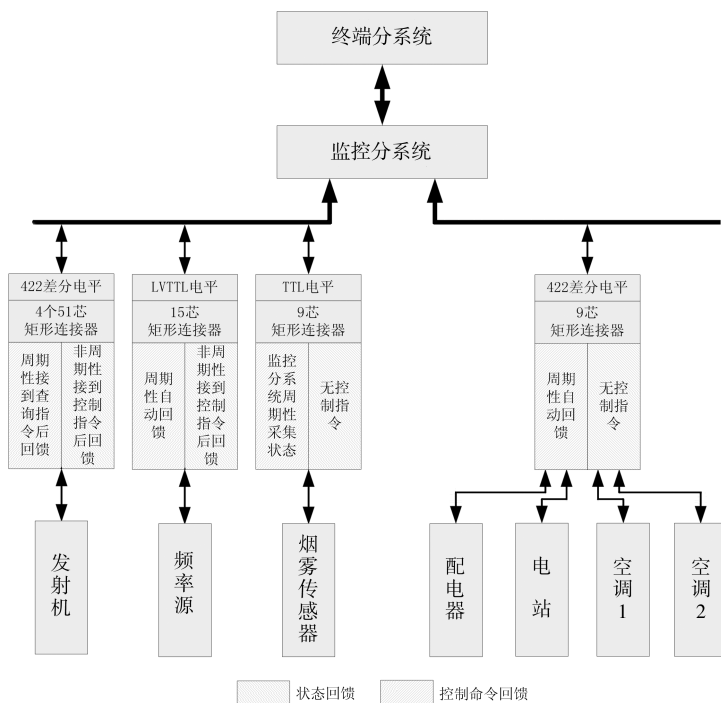


图 1 雷达各分系统之间关系

接口电平多的特点,设计专用的电平转换电路,将不同电平的信号转换成统一的信号,便于后续的处理。

监控分系统需要监控的状态信息以及执行的命令数量众多,每一项都需要占用一条独立的通信线路,这样监控分系统与其他分系统之间就会有大量的通信线路。针对通信线路多的特点,如果直接使用计算机模块和 FPGA 芯片的接口进行通信,会出现接口资源不足的矛盾。自测平台采用 210 芯接口来扩展计算机模块和 FPGA 芯片的接口资源,所有的通信线路都连接在 210 芯接口的引脚上,这些引脚再和计算机模块及 FPGA 芯片的接口相连,根据“分时复用”的原则^[3],不同的时刻向不同的引脚发送数据,或从引脚接收数据。

任务性质多主要指任务在时间周期上的不同。有些任务是周期性的,有些是非周期性的;有些数据是主动上报给监控分系统的,有些需要接收到监控分系统的询问信号才回馈相应的状态信息。由于使用了计算机模块和 FPGA 芯片作为主控制器,可以灵活地对器件的功能进行编程设计,因此任务性质不同的问题也很容易得到解决。

综合以上分析,监控分系统自测平台由硬件和软件两部分组成。软件驻留在计算机模块中,负责解析用户操作、组织数据和处理数据。硬件电路

一方面为软件提供运行平台,另一方面将计算机接收和发送的数据转换为监控分系统能够识别的各种电平信号,同时根据计算机的指令分时调度硬件资源。

当前不同型号雷达监控分系统采用的接口不一,主要有 210 芯、100 芯、双 100 芯、CPCI(Compact Peripheral Component Interconnect,紧凑型 PCI)、定制等接口类型^[4]。为了让自测平台能够适应不同的硬件接口,自测平台的 210 芯并不是和其他插件一样直接挂在总线上,而是另外增加一个 210 芯插座,该 210 芯插座和自测平台的 210 芯接口相对应(比如自测平台 210 芯是针,则该 210 芯插座就应该是孔)。在 210 芯插座另外一面的针上焊接所有的通信线路,通信线路的另外一端连接各种连接器,通过连接器和被测监控分系统进行通信。硬件连接示意图如图 2 所示。对于不同形式的硬件接口,只需更换图中虚线框中的部分,即可实现对各种接口的自适应连接。

2 软件设计

2.1 模块划分

上位机软件基于 MFC(Microsoft Foundation Classes)开发。根据需要,把软件系统划分为 6 个模块,对应的源文件分别是 MonitorTestDlg. cpp、

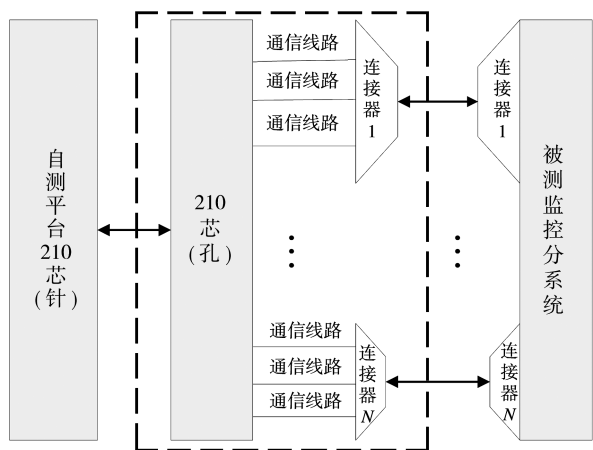


图2 自测平台硬件接口自适应连接示意图

DlgTrans.cpp、DlgFrquency.cpp、DlgSensor.cpp、DlgSerial.cpp 和 PortDriver.cpp。

MonitorTestDlg.cpp 是上位机软件的主界面,在系统启动时负责对系统参数进行初始化设定、加载串口驱动和其他子模块,随后开启定时器,驱动串口工作。

DlgTrans.cpp 对应的是发射机分系统,包含模拟发射机各项功能正常与否的函数,同时还要读取终端分系统下发的开关机、复位等指令,根据读取到的指令在上位机界面上作相应的指示。

DlgFrquency.cpp 对应的是频率源分系统,和 DlgTrans.cpp 类似,包含模拟频率源各项功能正常与否的函数,同时还要读取终端分系统下发的开关机指令,根据读取到的指令在上位机界面上作相应的指示。

DlgSensor.cpp 对应的是烟雾传感器,只向监控发送代表当前是否存在烟雾的指令。

DlgSerial.cpp 对应的是配电器、电站、空调 1 和空调 2 四个分系统,因为这四个分系统和监控分系统的通信方式相同,功能单一,因此合并成一个模块,以简化设计。该模块根据每收到一次终端的查询指令,相应的计数值就会加 1,只要上位机界面上的数字在不断地累加,就说明该分系统和监控通信正常。

PortDriver.cpp 是上位机软件的核心模块,负责上位机软件和硬件之间的数据交互,所有的数据都要经过串口驱动进行读和写。串口驱动的另外一项重要功能是对需要发送的数据按协议进行打包,对接收的数据按协议进行解析。

图 3 是各模块之间的相互关系。

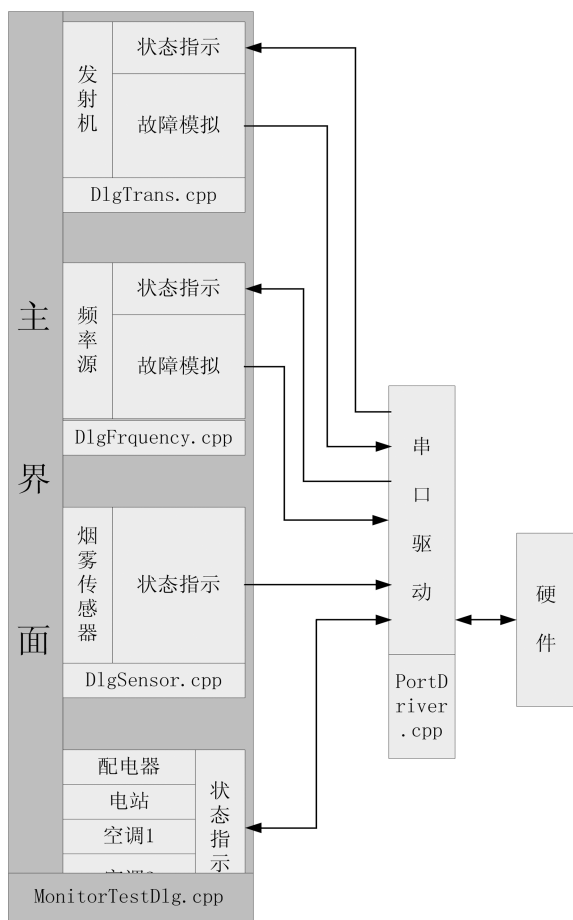


图3 各模块之间的相互关系

2.2 程序流程

主程序启动后首先加载串口驱动,串口驱动要对端口和数据初始化。由于上位机主界面和各子模块的界面是分开的,因此主程序还要加载各子模块的界面。界面加载完成后,主程序启动一个定时器,在定时器的驱动下,串口驱动有周期性地对各个端口进行读写操作,将需要发送的数据发送给监控,然后读取端口接收到的数据。定时器只有在主程序关闭时才会终止运行。各分系统模块会把用户的操作转换成 0 和 1(0 代表故障,1 代表正常)记录在结构体中,交给串口驱动进行处理;另外还要根据串口驱动接收的数据在界面上作相应的指示。图 4 是上位机软件的程序流程图。

3 硬件设计

根据总体设计方案,硬件电路由四部分组成:计算机、FPGA、电平转换电路和 210 芯接口。下面简要介绍各模块的功能。

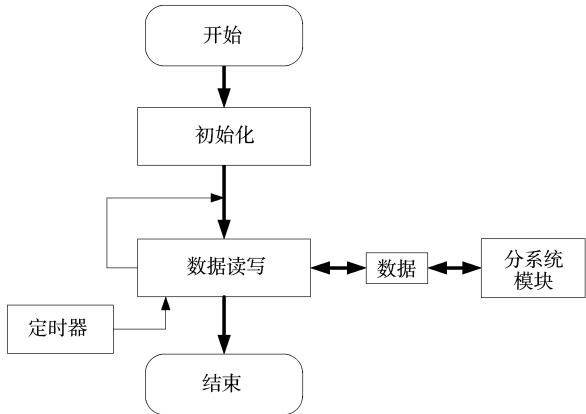


图 4 上位机软件的程序流程图

计算机选用 PC104 嵌入式计算机模块,该计算机模块被广泛应用在各种型号的雷达中。计算机模块将自身的地址线、数据线和中断信号提供给 FPGA 使用,所有的数据都从计算机的串口进出。数据线和中断信号是双向流动的,便于计算机和 FPGA 之间的交互。

FPGA 芯片选用 EPF10K50RI240-4,该型号芯片成本较低,且能满足设计需要。FPGA 负责对计算机信号进行译码,根据计算机指令产生不同的片选信号和使能信号,使数据根据时序从不同的端口输入和输出,从而充分利用计算机有限的 IO 资源,达到“分时复用”的效果。FPGA 还起到缓冲器的作用,把不同波特率的数据转换成计算机串口能够识别的波特率^[5]。

电平转换电路主要由各种驱动芯片组成,如 162244、163244、164245,实现 LVTTTL、TTL 和 3.3 V 电平之间的转换以及信号放大等功能。由于 422 属于差分信号,因此还需要差分信号转换芯片。

电平转换之后的信号送给 210 芯接口,210 芯接口是直接和监控分系统打交道的模块,为每个监控事件提供一个硬件通道。

图 5 是硬件电路的示意图。

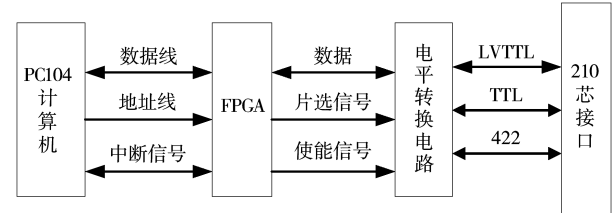


图 5 硬件电路示意图

4 结束语

监控分系统自测平台软、硬件架构简捷清晰,采用低成本设计,硬件具有通用性,只需对软件和 FPGA 程序进行重新设计,即可应用到其他型号雷达的测试中。而且能自适应采用不同硬件接口的监控分系统。这种通用性的设计能够加快雷达监控分系统自测平台的开发,为雷达批量生产提供快速、准确的测试方案。

参考文献:

[1] 谢东辉,齐伟民. 基于 Nios II 片上可编程系统(SOPC)实现的雷达监控系统[J]. 中国科学院研究生院学报, 2010, 27(1):63-69.

[2] 张鹏南,孙宇,夏洪洋. 基于 Quartus II 的 VHDL 数字系统设计入门与应用案例[M]. 北京:电子工业出版社, 2012:18-19.

[3] 李清,张彼德,郭筱瑛,等. 分时复用控制多路输出开关电源[J]. 电测与仪表, 2014, 51(20):109-115.

[4] 钟志华. 一种通用雷达自动化测试设备的研究及其应用[D]. 哈尔滨:哈尔滨工业大学, 2011.

[5] 吴越,严济鸿,何子述. 基于 FPGA 的多通道高速数据采集系统[J]. 雷达科学与技术, 2012, 10(6):671-676.

WU Yue, YAN Jihong, HE Zishu. Multichannel High-Speed Data Acquisition System Based on FPGA and USB 2.0[J]. Radar Science and Technology, 2012, 10(6):671-676. (in Chinese)

作者简介:



李强国 男,1990 年出生,安徽亳州人,中国电子科技集团公司第三十八研究所助理工程师,主要研究方向为雷达系统自动测试技术。
E-mail:yunniyu@163.com

蒋晓 女,1970 年出生,安徽合肥人,中国电子科技集团公司第三十八研究所高级工程师,主要研究方向为军用地面雷达终端、监控系统开发。